

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209453

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H01L 29/786  
H01L 21/265  
H01L 27/12

(21)Application number : 09-006477

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.01.1997

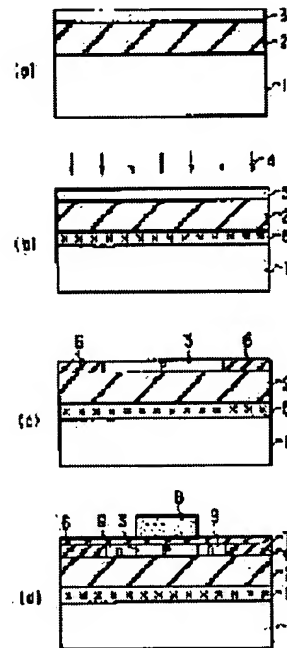
(72)Inventor : USHIKU YUKIHIRO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

PROBLEM TO BE SOLVED: To form a strained silicon layer through a simple method without generating dislocation defects.

SOLUTION: A first silicon layer 1, an SiO<sub>2</sub> layer 2, and a second silicon layer 3 are successively laminated for the formation of an SOI substrate, ions 4 are implanted into the first silicon layer 1, a dislocation defect region 5 is formed inside the first silicon layer 1 through a first annealing process, the first silicon layer 1 and the SiO<sub>2</sub> layer 2 are separated from each other in terms of stress, and a tensile strain is induced in the second silicon layer 2 through a second annealing process carried out at least at the viscous fluid temperature of SiO<sub>2</sub>.



## LEGAL STATUS

[Date of request for examination] 22.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209453

(43) 公開日 平成10年(1998)8月7日

(51) Int. Cl.<sup>4</sup>H01L 29/786  
21/265  
27/12

識別記号

P I

H01L 29/78  
27/12  
21/265  
29/78626C  
F  
Q  
621

審査請求 未請求 請求項の数13 O L (全 6 頁)

(21) 出願番号

特願平9-6477

(22) 出願日

平成9年(1997)1月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 牛久 幸広

神奈川県川崎市幸区小向東芝町1番地 株

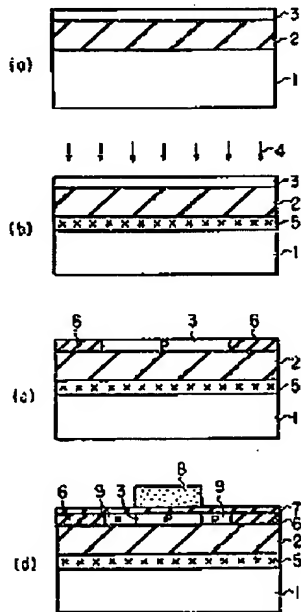
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 転位欠陥の発生を招かず、かつ簡単な方法で歪みシリコン層を形成すること。

【解決手段】 まず、第1のシリコン層1、 $\text{SiO}_2$ 層2、第2のシリコン層3が順次積層してなるSOI基板を用意し、次に第1のシリコン層1にイオン4を注入した後、第1のアニールにより第1のシリコン層1内に転位欠陥領域5を形成して、第1のシリコン層1と $\text{SiO}_2$ 層2を応力的に分離し、次に $\text{SiO}_2$ の粘性流動温度以上の第2のアニールにより第2のシリコン層2に引っ張り歪みを生じさせる。

(2)

特開平10-209453

1

## 【特許請求の範囲】

【請求項1】第1の半導体層、絶縁層、第2の半導体層が順次積層されてなる基板を具備してなり、前記第2の半導体層には歪みが入っており、かつ素子が形成されていることを特徴とする半導体装置。

【請求項2】前記第1の半導体層内に転位欠陥領域が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記転位欠陥領域は、前記第1の半導体層と前記絶縁層との界面に形成されていることを特徴とする請求項2に記載の半導体装置。

【請求項4】前記第1の半導体層はシリコンを主成分とし、かつ前記転位欠陥領域の転位欠陥の密度は $1 \times 10^{10}$ 個/cm<sup>2</sup>以上であることを特徴とする請求項2または請求項3に記載の半導体装置。

【請求項5】前記第2の半導体層の厚さが、前記絶縁層の厚さより小さいことを特徴とする請求項1ないし請求項4のいずれかに記載の半導体装置。

【請求項6】前記第2の半導体層はシリコンを主成分とし、かつ前記歪みは、前記第2の半導体層中における前記シリコンの格子定数が、シリコンの本来の格子定数の1.01倍以上となる引っ張り歪みであることを特徴とする請求項1ないし請求項4のいずれかに記載の半導体装置。

【請求項7】前記第2の半導体層はシリコンを主成分とし、前記絶縁層はSiO<sub>2</sub>を主成分とし、かつ前記第2の半導体層の厚さが、前記絶縁層の厚さの1/5以下であることを特徴とする請求項1ないし請求項4のいずれかに記載の半導体装置。

【請求項8】第1の半導体層、絶縁層、第2の半導体層が順次積層されてなる基板を用意し、前記第1の半導体層にイオンを注入する工程と、  
熱処理により、前記イオンに基づいた転位欠陥領域を前記第1の半導体層内に形成して、前記第1の半導体層と前記絶縁層を応力的に分離するとともに、前記第2の半導体層に歪みを生じさせる工程と、  
前記第2の半導体層に素子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】前記熱処理は、前記転位欠陥領域を形成する第1の熱処理と、この第1の熱処理の後に行なわれ、前記歪みを生じさせる第2の熱処理とから構成されていることを特徴する請求項8に記載の半導体装置の製造方法。

【請求項10】前記第2の熱処理の温度は、前記絶縁層の粘性流動温度以上であることを特徴する請求項9に記載の半導体装置の製造方法。

【請求項11】前記絶縁層はSiO<sub>2</sub>を主成分とし、かつ前記温度は900℃以上であることを特徴する請求項10に記載の半導体装置の製造方法。

【請求項12】前記熱処理は、前記転位欠陥領域の形成

2

および前記歪みの誘起を同時に行なうものであることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項13】前記イオンは、水素元素および不活性元素からなる元素群から選ばれた少なくとも1つの元素のイオンであることを特徴とする請求項8ないし請求項12のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、歪みの入った半導体層に素子を形成した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路(LSI)が多用されている。このため、機器全体の性能は、LSI単体の性能と大きく結び付いている。

【0003】LSI単体の性能向上。例えば、Si系MOSデバイス等で構成されるLSI単体の性能向上においては、高速かつ低消費電力を特徴とするMOSFETの実現が不可欠である。このため、例えば、電流駆動力等の電気的特性の向上を目的とした研究開発が精力的に行なわれている。

【0004】電流駆動力を高めるための技術の1つとして、歪みの入ったシリコン層(歪みシリコン層)に素子を形成する技術が知られている。図3に、従来の歪みシリコン層を有する基板の断面図を示す。

【0005】図中、81はシリコン基板を示しており、このシリコン基板81上には、グレーテッドSiGe混晶層82、緩和SiGe混晶層83、歪みシリコン層84が順次形成されている。この種の基板では、グレーテッドSiGe混晶層82内に転位欠陥が閉じ込められ、緩和SiGe混晶層83には転位欠陥が入らないとされている。

【0006】

【発明が解決しようとする課題】しかしながら、実際には、緩和SiGe混晶層83にまで転位欠陥が入り、さらにこの転位欠陥は歪みシリコン層84にまで達してしまう。したがって、この転位欠陥により、歪みシリコン層84の信頼性が低下するため、歪みシリコン層84に素子を形成しても、期待通りの電気的特性を得ることが困難であるという問題があった。

【0007】さらに、グレーテッドSiGe混晶層82、緩和SiGe混晶層83を形成するためには、高精度のエピタキシャル成長装置およびプロセス技術が必要であるので、歪みシリコン層84を容易に形成することが困難であるという問題があった。

【0008】上述の如く、歪みシリコン層は、電流駆動力等の素子特性の向上に有効であるが、転位欠陥の発生

(3)

特開平10-209453

4

を招くことなく、容易に形成することが困難であるという問題があった。

【0009】本発明は上記事情を考慮してなされたもので、その目的とするところは、歪み半導体層を含み、かつ該歪み半導体層をその内部に転位欠陥の発生を招くことなく、容易に形成することができる基板を備えた半導体装置およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】

【概要】上記目的を達成するために、本発明に係る半導体装置（請求項1）は、第1の半導体層、絶縁層、第2の半導体層が順次積層されてなる基板を具備してなり、前記第2の半導体層には歪みが入っており、かつ素子が形成されていることを特徴とする。

【0011】また、本発明に係る他の半導体装置（請求項2）は、上記半導体装置（請求項1）において、前記第1の半導体層内に転位欠陥領域が形成されていることを特徴とする。

【0012】また、本発明に係る他の半導体装置（請求項3）は、上記半導体装置（請求項2）において、前記転位欠陥領域が、前記第1の半導体層と前記絶縁層との界面に形成されていることを特徴とする。

【0013】また、本発明に係る他の半導体装置（請求項4）は、上記半導体装置（請求項2、請求項3）において、前記第1の半導体層がシリコンを主成分とし、かつ前記転位欠陥領域の転位欠陥の密度が $1 \times 10^{10}$ 個/ $\text{cm}^2$ 以上であることを特徴とする。

【0014】また、本発明に係る他の半導体装置（請求項5）は、上記半導体装置（請求項1～請求項4）において、前記第2の半導体層の厚さが、前記絶縁層の厚さより小さいことを特徴とする。

【0015】また、本発明に係る他の半導体装置（請求項6）は、上記半導体装置（請求項1～請求項4）において、前記第2の半導体層がシリコンを主成分とし、かつ前記歪みが、前記第2の半導体層中における前記シリコンの格子定数が、シリコンの本래の格子定数の1.01倍以上となる引っ張り歪みであることを特徴とする。

【0016】また、本発明に係る他の半導体装置（請求項7）は、上記半導体装置（請求項1～請求項4）において、前記第2の半導体層がシリコンを主成分とし、前記絶縁層が $\text{SiO}_2$ を主成分とし、かつ前記第2の半導体層の厚さが、前記絶縁層の厚さの1/5以下であることを特徴とする。

【0017】また、本発明に係る半導体装置の製造方法（請求項8）は、第1の半導体層、絶縁層、第2の半導体層が順次積層されてなる基板を用意し、前記第1の半導体層にイオンを注入する工程と、熱処理により、前記イオンに基づいた転位欠陥領域を前記第1の半導体層内に形成して、前記第1の半導体層と前記絶縁層を応力的に分離するとともに、前記第2の半導体層に歪みを発生

させる工程と、前記第2の半導体層に素子を形成する工程とを有することを特徴とする。

【0018】また、本発明に係る他の半導体装置の製造方法（請求項9）は、上記半導体装置の製造方法（請求項8）において、前記熱処理が、前記転位欠陥領域を形成する第1の熱処理と、この第1の熱処理の後に行なわれ、前記歪みを発生させる第2の熱処理とから構成されていることを特徴とする。

【0019】また、本発明に係る他の半導体装置の製造方法（請求項10）は、上記半導体装置の製造方法（請求項9）において、前記第2の熱処理の温度が、前記絶縁層の粘性流動温度以上であることを特徴とする。

【0020】また、本発明に係る他の半導体装置の製造方法（請求項11）は、上記半導体装置の製造方法（請求項10）において、前記絶縁層が $\text{SiO}_2$ を主成分とし、かつ前記温度が $900^\circ\text{C}$ 以上であることを特徴とする。

【0021】また、本発明に係る他の半導体装置の製造方法（請求項12）は、上記半導体装置の製造方法（請求項8）において、前記熱処理が、前記転位欠陥領域の形成および前記歪みの誘起を同時に行なうものであることを特徴とする。

【0022】また、本発明に係る他の半導体装置の製造方法（請求項13）は、上記半導体装置の製造方法（請求項8～請求項12）において、前記イオンが、水素元素および不活性元素からなる元素群から選ばれた少なくとも1つの元素のイオンであることを特徴とする。

【0023】【作用】本発明の基本な考え方は、歪み半導体層を得るために、第1の半導体層、絶縁層、第2の半導体層が順次積層されてなる基板（ $\text{SOI}$ 基板）を利用することにある。

【0024】すなわち、本発明では、まず、第1の半導体層にイオンを注入し、熱処理により第1の半導体層内に転位欠陥領域を形成する。転位欠陥領域は第1の半導体層と絶縁層を応力的に分離することができる。

【0025】このように第1の半導体層と絶縁層が応力的に分離された状態で、第2の半導体層および絶縁層を高温（好ましくは絶縁層の粘性流動温度以上）の状態で室温に下げると、第2の半導体層および絶縁層は、両者の熱膨張係数および厚さで決まる歪みを受けるようになる。

【0026】ここで、熱膨張係数を変えることはできないが、厚さを変えることはできるので、第2の半導体層および絶縁層の厚さを調整することにより、第2の半導体層に十分な歪みを発生させることができる。

【0027】このように本発明によれば、イオン注入と熱処理により、第2の半導体層に十分な引っ張り歪みを生じさせることができる。すなわち、高精度のエピタキシャル成長装置やプロセス技術を用いずに、歪み半導体層を容易に形成できるようになる。

(4)

特開平10-209453

5

【0028】また、本発明では、転位欠陥領域を形成するが、この転位欠陥領域は絶縁層により、第2の半導体層とは分離されているので、第2の半導体層に転位欠陥が発生することはない。すなわち、信頼性の高い歪み半導体層を形成できるようになる。

【0029】したがって、本発明によれば、信頼性が高く、十分な引っ張り歪みを有する半導体層を容易に形成できるようになる。本発明に係る半導体装置（請求項1）は、信頼性の高い歪み半導体層の提供が可能となる最も基本的な構成のものである。

【0030】また、本発明に係る半導体装置（請求項2）は、上記半導体装置（請求項1）を製造する際に生じる特徴ある構成（転位欠陥領域）が追加されたものである。また、本発明に係る半導体装置（請求項3）は、十分な歪みを得るために最も好ましい転位欠陥領域の位置を限定したものである。

【0031】また、本発明に係る半導体装置（請求項4）は、第1の半導体層の主成分がシリコンの場合の転位欠陥領域の典型的な値を限定したものである。また、本発明に係る半導体装置（請求項5）は、十分な歪みを得るのに有効な第2の半導体層の厚さと絶縁層のそれとの大小関係を限定したものである。

【0032】また、本発明に係る半導体装置（請求項6）は、第2の半導体層の主成分がシリコンの場合に、該第2の半導体層が得られる典型的な引っ張り応力の値を限定したものである。

【0033】また、本発明に係る半導体装置（請求項7）は、第2の半導体層の主成分がシリコン、絶縁層の主成分がSiO<sub>2</sub>の場合に、十分な歪みを得るのに有効な第2の半導体層の厚さと絶縁層のそれとの大小関係を限定したものである。

【0034】また、本発明に係る半導体装置の製造方法（請求項8）は、信頼性の高い歪み半導体層の提供が可能となる最も基本的な構成のものである。また、本発明に係る半導体装置の製造方法（請求項9）は、上記半導体装置の製造方法（請求項8）において、熱処理を転位欠陥領域を形成するための第1の熱処理と、第2の半導体層に歪みを生じさせるための第2の熱処理とに分けたことを限定したものである。

【0035】また、本発明に係る半導体装置の製造方法（請求項10）は、第2の熱処理の好ましい温度を限定したものである。また、本発明に係る半導体装置の製造方法（請求項11）は、絶縁層の主成分がSiO<sub>2</sub>の場合の第2の熱処理の好ましい温度を限定したものである。

【0036】また、本発明に係る半導体装置の製造方法（請求項12）は、上記半導体装置の製造方法（請求項8）において、転位欠陥領域を形成するための熱処理と、第2の半導体層に歪みを生じさせるための熱処理とに分けずに、1つの熱処理で済ませることを限定したも

6

のである。また、本発明に係る半導体装置の製造方法（請求項13）は、転位欠陥領域を形成するのに有効なイオンを限定したものである。

【0037】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施形態）図1は、本発明の第1の実施形態に係るMOSFETの形成方法を示す工程断面図である。

【0038】まず、図1（a）に示すように、支持基板としての第1のシリコン層1、SiO<sub>2</sub>層2、素子が形成される活性層としての第2のシリコン層3が順次積層されてなるSOI基板を用意する。

【0039】第1のシリコン層1の厚さは例えば700μm、SiO<sub>2</sub>層2の厚さは例えば100μm、第2のシリコン層3の厚さは例えば20μmである。このように、本実施形態のSOI基板は、通常のSOI基板とは異なり、第2のシリコン層3はSiO<sub>2</sub>層2よりも薄い。これは後述する本発明の効果を高めるためである。第2のシリコン層3の厚さは、本実施形態のように、SiO<sub>2</sub>層2の厚さの1/5以下であることが好ましい。

【0040】SOI基板の形成方法としては、シリコン層に酸素イオンを注入した後にアニールを行なってシリコン酸化層を形成する方法（SiMOX法）や、2枚のシリコン層をシリコン酸化層を介して張り合わせて形成する方法（張り合わせ法）等の通常のどの方法を用いても良い。

【0041】次に図1（b）に示すように、加速電圧20keV、ドーズ量 $1 \times 10^{13}$ 個/cm<sup>2</sup>の条件で、第2のシリコン層3側から第1のシリコン層1に水素イオンを注入する。これにより、水素イオンは、第1のシリコン層1とSiO<sub>2</sub>層2との界面近傍における第1のシリコン層1に導入される。

【0042】なお、水素イオンの代わりに、不活性元素のイオンを注入しても良い。イオンとして、水素イオン、不活性元素のイオンを用いるのは、これらイオンが転位欠陥の形成に有効であるからである。

【0043】次に同図（b）に示すように、400～600℃程度の温度の第1のアニールを行なって、第1のシリコン層1とSiO<sub>2</sub>層2との界面近傍の第1のシリコン層1内に、転位欠陥の密度が約 $1 \times 10^{11}$ 個/cm<sup>2</sup>の転位欠陥領域5を形成する。この転位欠陥領域5によって、第1のシリコン層1とSiO<sub>2</sub>層2とは応力的に分離される。

【0044】なお、通常のSOI基板においても、絶縁膜側のシリコン層に欠陥は存在するが、その欠陥の密度は小さく、本実施形態のような欠陥領域を形成するようなものではない。

【0045】その後、SiO<sub>2</sub>層2の粘性流動温度（900℃）以上、例えば950℃程度の温度の第2のアニールを行なって、第2のシリコン層3に引っ張り歪みを

(5)

特開平10-209453

7

発生させる。この段階で引っ張り歪を有するSOI基板が完成する。

【0046】第2のシリコン層3に引っ張り歪みが発生する理由は以下の通りである。SiO<sub>2</sub>層2の粘性流動温度以上では、SiO<sub>2</sub>層2および第2のシリコン層3の応力は緩和している。

【0047】そして、粘性流動温度以上の高温から室温にまで温度が下がると、SiO<sub>2</sub>層2および第2のシリコン層3は、両者の熱膨張係数および膜厚で決まる歪みをそれぞれ受け持つことになる。

【0048】具体的には、SiO<sub>2</sub>の熱膨張係数は $0.4 \times 10^{-6}/^{\circ}\text{C}$ 、シリコンの熱膨張係数は $4.0 \times 10^{-6}/^{\circ}\text{C}$ であるので、例えば、SiO<sub>2</sub>層2の厚さが100nm、第2のシリコン層3の厚さが20nmであれば、第2のシリコン層3中のシリコンの格子定数が、シリコンの本来の格子定数の1.01倍以上となる引っ張り歪みが第2のシリコン層3に発生する。

【0049】第2のシリコン層3に発生する引っ張り歪みは、一般に、SiO<sub>2</sub>層2の厚さが厚いほど、第2のシリコン層3が薄いほど大きくなる。そこで、本実施形態では、第2のシリコン層3に十分な引っ張り応力を発生させるために、上述したように、通常のSOI基板とは異なり、第2のシリコン層3の厚さをSiO<sub>2</sub>層2のそれよりも小さくしている。

【0050】表1に、SiO<sub>2</sub>層2の厚さが100nmの場合における、代表的な第2のシリコン層3の厚さ（Si膜厚）における引っ張り歪みの値を示す。引っ張り歪みは本来の格子定数に対する百分率で示してある。表から第2のシリコン層3の厚さが、SiO<sub>2</sub>層2の厚さの1/5程度以下では、1%程度の十分な引っ張り歪みが得られることが分かる。

【0051】

【表1】

Si膜厚 (nm)	引っ張り歪み (%)
100	0.082
80	0.085
60	0.042
40	0.062
20	0.117

(SiO<sub>2</sub>膜厚: 100nm)

【0052】ここで、転位欠陥領域5が存在しないと、つまり、第1のシリコン層1とSiO<sub>2</sub>層2とが応力的に分断されていないと、圧縮的な厚さ（700μm）の第1のシリコン層1が全体を支配するので、SiO<sub>2</sub>層2は大きな歪みを受けるが、第2のシリコン層2はほとんど歪みを受けない。

【0053】なお、第1のアニールの温度を例えば950℃にすることにより、第1のアニールが第2のアニール

8

を兼ねるようにしても良い。次に図1(c)に示すように、第2のシリコン層3を島状に加工し、その周囲に素子分離絶縁膜6を埋め込み形成することにより、素子分離を行なう。次に同図(c)に示すように、第2のシリコン層3にp型不純物を導入して、しきい値電圧の調整を行なう。

【0054】次に図1(d)に示すように、全面にゲート酸化膜7を形成した後、例えば多結晶シリコンからなるゲート電極8を形成する。最後に、ゲート電極8をマスクに用いたn型不純物のイオン注入により、ソース・ドレイン拡散層9を自己整合的に形成して、基本構造が完成する。

【0055】この後は、通常のMOSFETのプロセスと同様に、層間絶縁膜の堆積工程、コンタクトホールの開孔工程、ソース・ドレイン電極の形成工程などの工程が続く。

【0056】以上述べたように、本実施形態の形成方法によれば、図1(b)の工程におけるイオン注入および第1、2第のアニールにより、第2のシリコン層3に十分な引っ張り歪みを生じさせることができる。すなわち、高精度のエピタキシャル成長装置やプロセス技術を用いずに、歪みシリコン層を容易に形成できるようになる。

【0057】また、本実施形態の形成方法では、転位欠陥領域5を形成するが、この転位欠陥領域5はSiO<sub>2</sub>層2により、第2のシリコン層3とは分離されているので、第2のシリコン層3に転位欠陥が発生することはない。すなわち、信頼性の高い歪みシリコン層を形成できるようになる。

【0058】したがって、本実施形態によれば、信頼性が高く、十分な引っ張り歪みを有するシリコン層3を容易に形成できるようになる。また、本実施形態のMOSFETでは、十分な引っ張り歪みを有するシリコン層3にチャネルが形成される。一般に、引っ張り歪みの大きい歪みシリコン層においては、電子の有効質量が小さくなる。

【0059】したがって、本実施形態によれば、電流駆動能力の高いMOSFETを實現できるようになる。例えば、引っ張り歪みの大きい歪みシリコン層を用いれば、“International Electron Device Conference 1944 プロシーディングス”に報告されているように、無歪みシリコン層を用いた場合に比べて、約2倍の電流駆動能力の素子を實現することができる。

【0060】また、上述したように、シリコン層3（素子形成領域）は転位欠陥の無い信頼性の高いものなので、単に高い電流駆動能力を實現できるだけではなく、安定した高い電流駆動能力を實現できるようになる。

【0061】なお、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態では、本発明をM



MOSFETに適用した場合について説明したが、本発明は他の半導体素子、例えばバイポーラトランジスタにも適用できる。図2に、本発明を適用したバイポーラトランジスタの断面図を示す。図中、11はn型コレクタ層、12はp型ベース層、13はn型エミッタ層を示している。

【0062】また、本発明を適用したMOSFETやバイポーラトランジスタ等の半導体素子は、高発熱能力が高いので、例えば、ロジック回路の構成素子として有効である。

【0063】また、上記実施形態では、半導体層の主成分がシリコン、絶縁層の主成分がSiO<sub>2</sub>であるSOI基板の場合について説明したが、本発明は他の材料系のSOI (Semiconductor On Insulator) 基板にも適用可能である。その他、本発明の技術的範囲で、種々変形して実施できる。

【0064】

【発明の効果】以上述べたように、本発明によれば、第1の半導体層、絶縁層、第2の半導体層が順次積層されてなる基板（SOI基板）を利用することにより、転位欠陥がない歪みシリコン層を容易に得られるようにな

＊る。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るMOSFETの形成方法を示す工程断面図

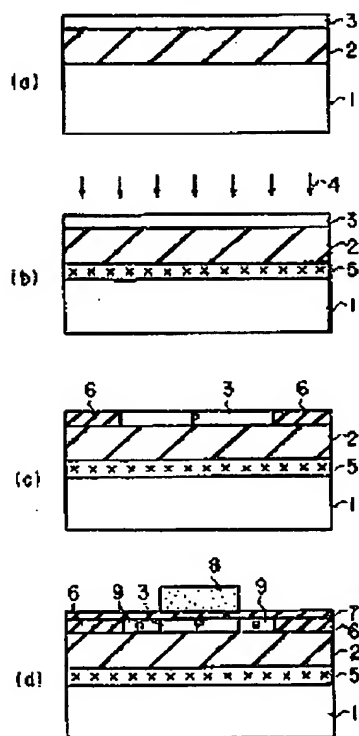
【図2】本発明を適用したバイポーラトランジスタを示す断面図

【図3】従来の歪みシリコン層を有する基板を示す断面図

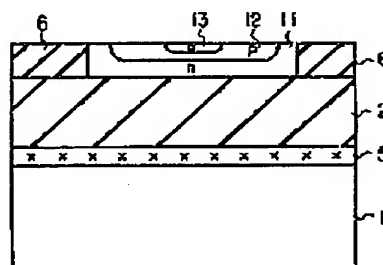
【符号の説明】

- 10 1…第1のシリコン層（第1の半導体層）  
2…SiO<sub>2</sub>層  
3…第2のシリコン層（第2の半導体層）  
4…イオン  
5…転位欠陥領域  
6…素子分離絶縁膜  
7…ゲート酸化膜  
8…ゲート電極  
9…n型ソース・ドレイン拡散層  
11…n型コレクタ層  
12…p型ベース層  
13…n型エミッタ層

【図1】



【図2】



【図3】

